

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-031467

(43)Date of publication of application : 28.01.2000

(51)Int.Cl. H01L 29/778
H01L 21/338
H01L 29/812
H01L 21/205

(21)Application number : 10-196028

(71)Applicant : NEC CORP

(22)Date of filing : 10.07.1998

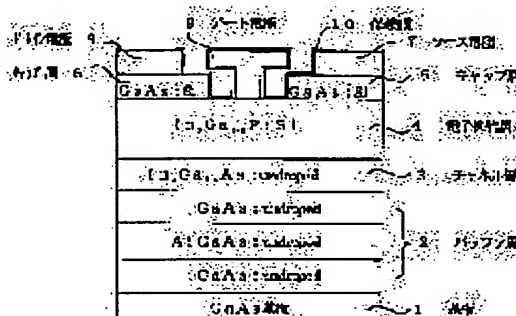
(72)Inventor : UNOSAWA HIROKIYO

(54) FET AND PRODUCTION METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a FET(field-effect transistor) which has high performance of large transconductance.

SOLUTION: The FET is laminated by a buffer layer 2 consisting of an undoped GaAs, an undoped AlGaAs, and an undoped GaAs, in this order, on a GaAs substrate 1; a channel layer 3 consisting of an undoped In_xGa_{1-x}As; an electron supply layer 4 n-type In_yGa_{1-y}P; and an n-type GaAs cap layer 6. At the time of production of the FET, V-III ratio is set at 400-600 by III- family raw material gas so that the growth rate of an InGaP crystal can be at under 0.6 μm/h. While at the same time, a growth temperature is set at the range of 640-660° C to meet the conditions that an Eg of the InGaP comes extremely small. As a result the InGaP crystal can grow under the conditions that a natural superlattice is most easily formed, and scattering of the interface of the electron running through the InGaP electron supply layer side within a channel can be reduced due to affections of the InGaP layer which has formed the natural superlattice. Consequently, the high-performance FET having large transconductance can be realized.



LEGAL STATUS

[Date of request for examination] 10.07.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3107051

[Date of registration] 08.09.2000

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-31467
(P2000-31467A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl. ⁷	識別記号	F I	テームコード (参考)
H 0 1 L 29/778		H 0 1 L 29/80	H 5 F 0 4 5
21/338		21/205	5 F 1 0 2
29/812			
21/205			

審査請求 有 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願平10-196028

(22) 出願日 平成10年7月10日 (1998.7.10)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 宇野沢 浩精

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100077827

弁理士 鈴木 弘男

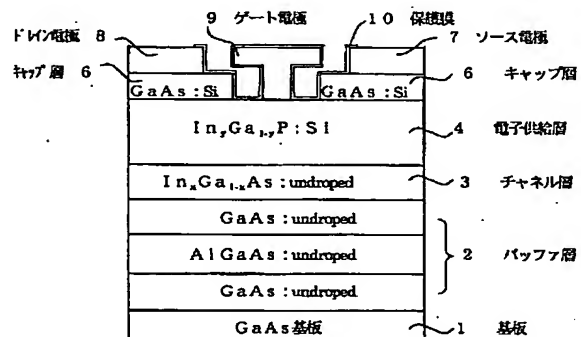
最終頁に続く

(54) 【発明の名称】 電界効果トランジスタ、及びその製造方法

(57) 【要約】

【課題】 トランスコンダクタンスの大きい高性能の F E T を提供する。

【解決手段】 電解効果トランジスタは、GaAs 基板 1 上に、アンドープ GaAs とアンドープ AlGaAs とアンドープ GaAs からなるバッファ層 2 と、アンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ のチャネル層 3 と、n 型 $\text{In}_y\text{Ga}_{1-y}\text{P}$ の電子供給層 4 と、n 型 GaAs のキャップ層 6 を積層した構造をしている。そして製造時に InGaP 結晶の成長速度が $0.6\mu\text{m/h}$ 以下となるように III 族原料ガスを調整し、V/III 比を 400~600、および成長温度 $640\sim 660^\circ\text{C}$ で InGaP の E_g が極小となる条件に設定する。これにより、自然超格子が最も形成されやすい条件のもとで InGaP 結晶が成長され、チャネル内の InGaP 電子供給層側を走行する電子は、自然超格子を形成した InGaP 層の影響による界面の散乱が少なくなることからトランスコンダクタンスの大きい高性能の F E T が実現できる。



【特許請求の範囲】

【請求項1】 GaAs基板上にInGaAsチャネル層とInGaP電子供給層を有する電界効果トランジスタにおいて、

自然超格子を形成したInGaP電子供給層を有し、かつ $[-110]$ 方向に延びるゲートフィンガーを有することを特徴とした電界効果トランジスタ。

【請求項2】 InGaAsチャネル層とInGaP電子供給層を有する電界効果トランジスタにおいて、

InGaP電子供給層の成長を成長速度 $0.6\mu\text{m/h}$ 以下とし、かつ前記InGaPのバンドギャップの成長温度依存性において該バンドギャップが極小となる設定により行うことを特徴とした電界効果トランジスタの製造方法。

【請求項3】 InGaPの成長時のIII族原料ガスとV族原料ガスの比、 V/III 比を $400\sim600$ としたことを特徴とする請求項2記載の電界効果トランジスタの製造方法。

【請求項4】 InGaPの成長温度を $640\sim660^\circ\text{C}$ としたことを特徴とする請求項2または3記載の電界効果トランジスタの製造方法。

【請求項5】 基板をGaAs基板としたことを特徴とする請求項2～4のいずれか1項に記載の電界効果トランジスタの製造方法。

【請求項6】 ゲートフィンガーを (001) 面のGaAs基板に $[-110]$ 方向に形成したことを特徴とする請求項5に記載の電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電界効果トランジスタとその製造方法に関する。

【0002】

【従来の技術】 図7に、従来の電界効果トランジスタの一構造例の断面を示す。これは、図7に示すようにGaAs基板31上にアンドープGaAsバッファ層32を 10nm 、アンドープ $\text{In}_{0.25}\text{Ga}_{0.75}\text{As}$ チャネル層33を 10nm 、Siドーピングで $n=2\times 10^{18}\text{cm}^{-3}$ の $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ 電子供給層34を 25nm 、Siドーピングで $n=2\times 10^{18}\text{cm}^{-3}$ の $n\text{-GaAs}$ キャップ層36を順次積層した構造を有している。この構造において、室温における2次元シート電子濃度は、 $1.4\sim 1.5\times 10^{12}\text{cm}^{-2}$ 、移動度は $7000\text{cm}^2/\text{V}\cdot\text{sec}$ である。

【0003】 ゲート形成プロセスとしては、酸化膜(SiO_2)上にフォトリソを塗布し、電子ビーム露光によりパターンを形成し、反応性イオンエッチングにより酸化膜にゲートパターンを形成する。続いて、先の酸化膜をマスクにしてGaAsキャップ層36を選択ドライエッチングにより $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ 電子供給層34上に達するエッチングを行いリセスを形成す

る。この後、スパッタ法によりWSiショットキゲートメタルと蒸着法によりAuを成膜し、不要なゲートメタルを除去してT型ゲートを形成する。ソース電極37・ドレイン電極38のオーミック電極は、 $\text{AuGe}/\text{Ni}/\text{Au}$ を蒸着により形成する。最後に、 SiO_2/SiN 保護膜を成膜し従来例の電界効果トランジスタが得られる。

【0004】 この従来の電界効果トランジスタの特性は、最大トランスコンダクタンス g_{mmax} が約 480mS/mm 、ゲート・ドレイン間の耐圧 BV_{gd} は 7V 以上、ゲート幅 $200\mu\text{m}$ のトランジスタにおいて最高発振周波数 $f_{\text{max}}=191\text{GHz}$ 、カットオフ周波数 $f_T=76\text{GHz}$ が得られたとある。以上は、IEEE ELECTRON DEVICE LETTERS, VOL. 14, NO. 8, pp406-408 (1993)に記載されている。

【0005】 そして、前記の従来例の結晶成長条件を記述した参考文献としてJournal of Crystal Growth, vol. 107, pp. 942-946 (1991)が挙げられており、この参考文献には、反応管圧力を常圧、成長温度 630°C にて行ったことが記載されている。

【0006】 また、特開平8-306703号公報等には、化合物半導体結晶装置とその製造方法について記載されている。

【0007】

【発明が解決しようとする課題】 これらの従来の電界効果トランジスタでは、 $\text{In}_{0.25}\text{Ga}_{0.75}\text{As}$ チャネル層33と界面を形成し、成長温度、 V/III 比、成長速度、基板面方位によりGaとInの配列、すなわち自然超格子の形成状態が変わってしまう電子供給層となる $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層34の具体的な成長条件およびFETのゲートフィンガー方向の記載がない。

【0008】 InGaAsをチャネル層に用いる電界効果トランジスタ(FET)において、チャネル層とチャネル層の上に設ける電子供給層との界面状態が2次元電子ガスの移動度に大きく影響することが知られている。特にInGaAsチャネル層上にInGaPを電子供給層に設けた結晶構造を有するFETでは、InGaPが成長条件によって自然超格子の形成の程度が大きく変化するため、この自然超格子の程度により2次元電子ガスの移動度が大きく変わってしまう。

【0009】 したがって、InGaPの自然超格子の形成の程度とゲートフィンガーの方向によっては、チャネル内を走行する電子の散乱が大きくなり移動度を低下させてしまい、本来得られるべきFET性能が十分に引き出せなくなるという問題があった。

【0010】 本発明は、上記課題を解決し、トランスコンダクタンスの高い高性能の電界効果トランジスタを提

供することを目的とする。

【0011】

【課題を解決するための手段】本発明では、上記目的を達成するため電界効果トランジスタを次のように構成した。

【0012】すなわち、本発明の電界効果トランジスタは、(001)面のGaAs基板上に電子供給層となるInGaP結晶のIII族元素が自然超格子を形成していることと、ゲートフィンガーを $[-110]$ 方向に形成したことを特徴とする。従来InGaAsチャネル層上にInGaPを電子供給層として設けたFETでは、InGaP結晶のIII族元素の配列状態を特定したものはなく、InGaPが完全な自然超格子を形成した場合、図6に示すようなGaとInが交互に積層した $[-111]$ 超格子構造となる。

【0013】そして、このような結晶構造を持ったところにゲートフィンガーが $[-110]$ 方向に延びるFETを形成すると、チャネル内の電子は $[110]$ 方向を走行し、チャネル内のInGaP電子供給層側を走行する電子は自然超格子を形成したInGaP層の影響による界面の散乱が少なくなることから高性能のFETを実現することができる。

【0014】

【発明の実施の形態】図1および図2に、本発明にかかる電界効果トランジスタの一実施形態の断面構造を示す。

【0015】図1は、GaAs基板1上に、アンドープGaAsとアンドープAlGaAsとアンドープGaAsからなるバッファ層2と、アンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ のチャネル層3と、n型 $\text{In}_y\text{Ga}_{1-y}\text{P}$ の電子供給層4と、n型GaAsのキャップ層6を積層した構造をしている。

【0016】一般的に、有機金属気相成長法(MOVPE法)により成長するGaAs基板1に格子整合するInGaP結晶のバンドギャップエネルギー E_g は、成長温度(図3参照)と、III族原料ガスとV族原料ガスの供給比率(V/III比)(図4参照)と、GaAs基板の方位に依存することが知られている。このことは例えば、Japanese Journal of Applied Physics Vol. 27, No. 1, 1988, pp. 2098-2106に記載されている。更に、図5に示す実験結果から、結晶の成長速度にも依存し、成長速度が大きくなるに従い E_g は、大きくなる傾向となることがわかっている。

【0017】これらのことを基にMOVPE法により図1の半導体積層構造を得る結晶成長プロセスにおいて、特にアンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ のチャネル層3上に形成するn型 $\text{In}_y\text{Ga}_{1-y}\text{P}$ の電子供給層4の成長を、次のような成長条件の下でおこなう。

【0018】まず、InGaP結晶の成長速度が0.6

$\mu\text{m}/\text{h}$ 以下となるようにIII族原料ガスを調整し、V/III比を400~600、および成長温度640~660℃でInGaPの E_g が極小となる条件に設定する。これにより、自然超格子が最も形成されやすい条件のもとにInGaP結晶が成長される。

【0019】製造プロセスとしては、リセス形成のためにフォトリソスト(PR)を塗布し、 $[-110]$ 方向に延びるパターンを形成し、結晶選択ドライエッチング技術を用いることによりGaAsキャップ層6のみをエッチングし、 $\text{In}_y\text{Ga}_{1-y}\text{P}$ 電子供給層4または $\text{Al}_z\text{Ga}_{1-z}\text{As}$ ショットキ層5上でエッチングは停止する。続いて、酸化膜(SiO_2)を成膜しドライエッチング技術によりゲート形成用の開口を行った後、ゲートメタルを形成する。ゲートメタルの不要部分を除去してT型ゲートを $[-110]$ 方向に形成し、保護膜となる酸化膜(SiO_2)を成膜し、オーミック電極を形成する。これにより、図1に示す電界効果トランジスタが得られる。

【0020】又、図2は、GaAs基板1上に、アンドープGaAsとアンドープAlGaAsとアンドープGaAsからなるバッファ層2と、アンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ のチャネル層3と、n型 $\text{In}_y\text{Ga}_{1-y}\text{P}$ の電子供給層4と、n型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ のショットキ層5と、n型GaAsのキャップ層6を積層した構造を有する。図2に示す電界効果トランジスタの製造方法も、上記方法と同様である。

【0021】(具体例の説明)図1に示す構造は、(001)GaAs基板1上にアンドープGaAs(300nm)とアンドープAlGaAs(100nm)とアンドープGaAs(50nm)からなるバッファ層2、アンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ チャネル層3($x=0.2, 12\text{nm}$)、Siドープのn型 $\text{In}_y\text{Ga}_{1-y}\text{P}$ 電子供給層4($y=0.48, 45\text{nm}, 2\text{E}18\text{cm}^{-3}$)、Siドープのn型GaAsキャップ層6(80nm, $3\text{E}18\text{cm}^{-3}$)を積層した構造を有する。

【0022】又、図2は図1と異なり、(001)GaAs基板1上にアンドープGaAs(300nm)とアンドープAlGaAs(100nm)とアンドープGaAs(50nm)からなるバッファ層2、アンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ チャネル層3($x=0.2, 12\text{nm}$)、Siドープのn型 $\text{In}_y\text{Ga}_{1-y}\text{P}$ 電子供給層4($y=0.48, 15\text{nm}, 3\text{E}18\text{cm}^{-3}$)、Siドープのn型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ ショットキ層5($z=0.2, 40\text{nm}, 1\text{E}17\text{cm}^{-3}$)、Siドープのn型GaAsキャップ層6(80nm, $3\text{E}18\text{cm}^{-3}$)を積層した構造を有している。

【0023】前述した半導体結晶積層構造をMOVPE法により図1および図2の半導体積層構造を得る結晶成長プロセスにおいて、特にn型 $\text{In}_y\text{Ga}_{1-y}\text{P}$ の電子供給層4の成長は、具体的には次のような成長条件の下

おこなう。まず、InGaP結晶の成長速度が $0.6\mu\text{m/h}$ となるように、III族原料ガスであるトリメチルインジウム、トリメチルガリウムの供給量を調整し、V/III比500および成長温度 650°C とし、MOVPE装置において自然超格子が最も形成されやすい条件のもとにInGaP結晶を成長させる。

【0024】FETの製造プロセスとしては、両構造ともにリセス形成のためにフォトレジスト(PR)を塗布し、 $[-110]$ 方向に延びるパターンを形成し、結晶選択ドライエッチング技術を用いることによりGaAsのキャップ層6のみをエッチングし、 $\text{In}_y\text{Ga}_{1-y}\text{P}$ の電子供給層4または $\text{Al}_z\text{Ga}_{1-z}\text{As}$ のショットキ層5上でエッチングは停止する。続いて、酸化膜(SiO_2)を成膜しドライエッチング技術によりゲート形成用の開口を行った後、ゲートメタルを形成する。ゲートメタルの不要部分を除去してT型ゲートを $[-110]$ 方向に形成し、保護膜となる酸化膜(SiO_2)を成膜し、オーミック電極を形成して、図1及び図2に示す電界効果トランジスタを得た。

【0025】(実験例) 図1の積層構造で試作したFETの特性は、リセス幅 $0.5\mu\text{m}$ 、ゲート長が $0.2\mu\text{m}$ の構造のもので、しきい電圧 $V_{th}=-1.2\text{V}$ 、最大ドレイン電流 I_{max} が約 720mA/mm 、最大トランスコンダクタンス g_{mmax} が約 530mS/mm 、ゲート・ドレイン間の耐圧 BV_{gd} は約 6V であった。

【0026】一方、比較例として、成長温度を 600°C 、成長速度を $0.6\mu\text{m/h}$ 、V/III比を500として半導体結晶を積層したFETは、その特性が、最大ドレイン電流 I_{max} が約 660mA/mm 、最大トランスコンダクタンス g_{mmax} が約 490mS/mm であった。この比較結果から本発明にかかる電界効果トランジスタの有効性が確認できた。

【0027】

【発明の効果】本発明は、(001)面のGaAs基板上に電界効果トランジスタを構成する半導体積層構造を成長する際に、電子供給層となるInGaP結晶が十分

に自然超格子を形成するように、成長温度を 650°C 、成長速度を $0.6\mu\text{m/h}$ 、V/III比を500とし、ゲートフィンガーを $[-110]$ 方向に形成した。

【0028】InGaPが完全な自然超格子を形成した場合、図6に示すようなGaとInが交互に積層した $[-111]$ 超格子構造となる。そして、このような結晶構造を持ったところにゲートフィンガーが $[-110]$ 方向に延びるFETを形成すると、チャンネル内の電子は $[110]$ 方向を走行し、チャンネル内のInGaP電子供給層側を走行する電子は自然超格子を形成したInGaP層の影響による界面の散乱が少なくなることからトランスコンダクタンスの大きい高性能のFETが実現できる。

【図面の簡単な説明】

【図1】本発明にかかる電界効果トランジスタの一実施形態を示す図。

【図2】本発明にかかる電界効果トランジスタの他の実施形態を示す図。

【図3】成長温度とバンドギャップの関係を示すグラフ。

【図4】V/III比とバンドギャップの関係を示すグラフ。

【図5】成長速度とバンドギャップの関係を示すグラフ。

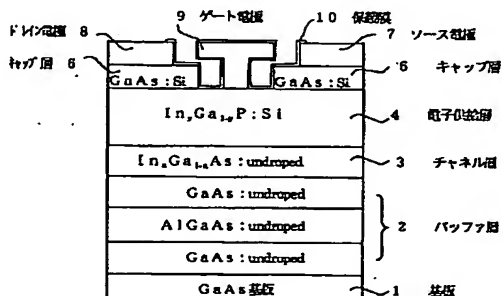
【図6】結晶構造を示す図。

【図7】従来の構造例を示す図。

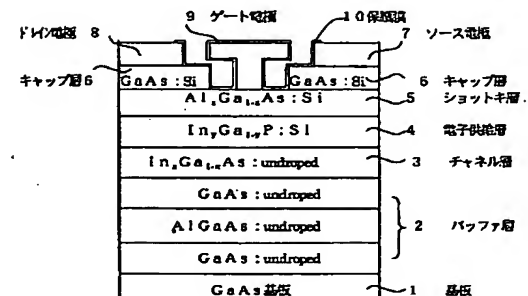
【符号の説明】

- 1, 31 基板
- 2, 32 バッファ層
- 3, 33 チャンネル層
- 4, 34 電子供給層
- 5 ショットキ層
- 6, 36 キャップ層
- 7, 37 ソース電極
- 8, 38 ドレイン電極
- 9, 39 ゲート電極
- 10, 40 保護膜

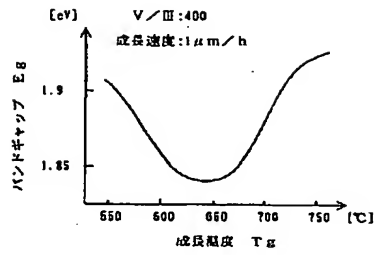
【図1】



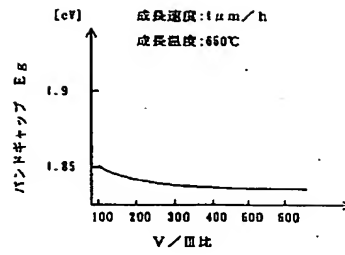
【図2】



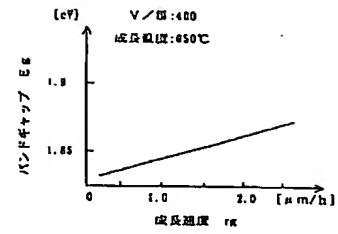
【図3】



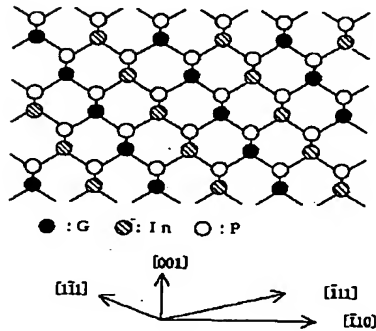
【図4】



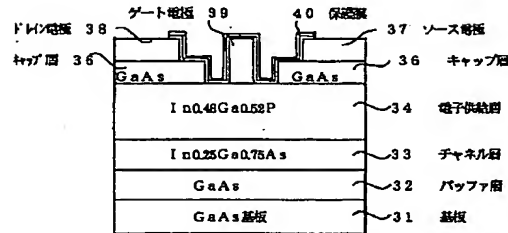
【図5】



【図6】



【図7】



フロントページの続き

Fターム(参考) 5F045 AA04 AB09 AD10 AF04 BB12
CA07 CB01
5F102 FA00 GB01 GC01 GJ05 GK05
GK06 GK08 GL04 GM04 GM06
GN05 GQ01 GR04 GS04 GT04
GV06 GV07 GV08 HC01 HC11
HC15